

射频/微波设计软件

Cadence AWR Design Environment 第 15 版

为了满足日益增高的数据速率和容量需求，通信、航空航天/国防和汽车应用开始越来越多地利用带宽、毫米波 (mmWave) 频谱以及相对于多进多出 (MIMO) 和波束赋型相控阵的空间效率。市场上出现了对小型、低成本组件的需求，与此同时射频到毫米波前端也在不断发展，以紧跟这些新的系统要求、使能技术的需求以及空间/成本方面的考虑。

工程团队致力于达成性能、集成和成本/空间目标，在努力满足日益复杂的产品要求的同时，还面临着上市时间的压力。要将这些产品推向市场，工程师需要采用一流的仿真技术并实现设计自动化，以准确预测为宽带和毫米波频谱设计的大型密集集成电路/子系统的性能。此外，这些产品是由不同的工程团队通过多种设计工具开发而成，因此射频设计软件必须能够与开发混合信号电子系统时使用的更广泛的 EDA 工具实现互操作性。

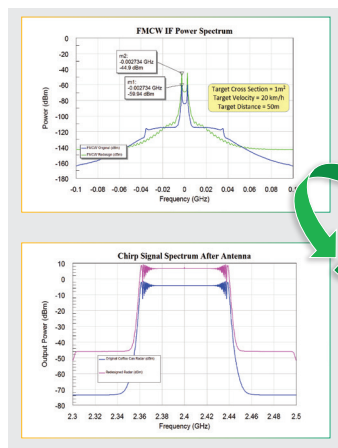
为了优化产品开发的吞吐量和成功的设计，该软件必须提供支

持工程生产力的自动化功能，同时可以实现无缝的集成电路、系统和电磁 (EM) 仿真、综合和优化。这些功能内置在 Cadence® AWR Design Environment® 软件中，包括 AWR® Microwave Office®、AWR Visual System Simulator™ (VSS)、AWR AXIEM® 和 AWR Analyst™ 软件，它们为射频/微波工程师开发新一代通信和雷达前端电子产品提供了一个强大的一站式平台。

此外，随着 AWR Design Environment 软件第 15 版 (V15) 的发布，Cadence 正在通过自己的 Intelligent System Design™ 策略产品，解决射频/微波设计和集成问题，该产品为电子系统的所有设计元素提供计算软件功能。它的核心是实现卓越设计，包括经过优化的 EDA 工具组合，提供一流的射频、微波和毫米波电路、系统和电磁分析，拥有用于半导体、封装和 PCB 设计的 IP，以及可扩展的云访问权限。

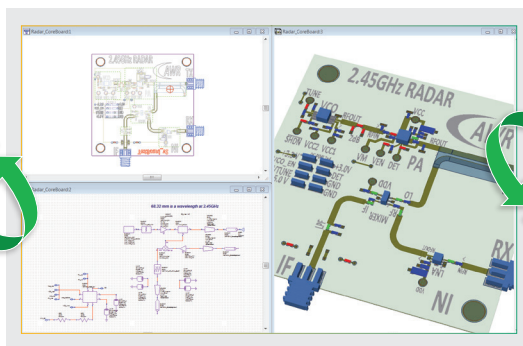
System Design

Testbenches, budget, and spur budget analysis



Circuit Design

Linear/nonlinear simulation and optimization



EM Analysis

S-parameter extraction and field visualization

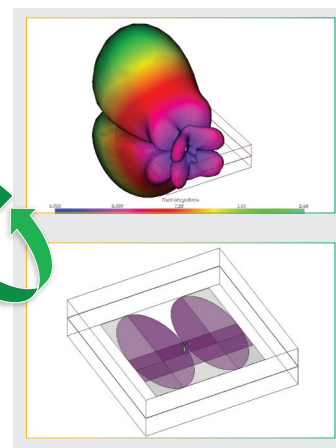


图1: AWR设计环境RF/微波设计平台

V15 的优势

AWR Design Environment V15 提供了关键的新技术和经过改进的功能，可为开发和集成 III-V 和硅 (Si) 集成电路 (IC)、多技术模块和 PCB 组件的工程团队提供更高的设计效率，确保设计一次成功。借助新的分析功能、速度更快且容量更高的仿真技术、省时省力的设计自动化以及兼容 5G 新空口 (NR) 的测试平台（支持功率放大器和天线/阵列设计、EM 建模以及跨异构技术的射频/微波集成），提高工程设计效率。

设计环境与自动化

新的设计环境和自动化功能有助于个人工程师和工程团队提高设计输入、数据显示和项目管理的效率。设计人员可以直接从响应图中调整优化目标，实时传输符合设计规则的智能网络 (iNet)，将基于 Gerber 的布局设计导入 AWR Design Environment 以进行 EM 分析，并为设计任务提供更多实用便捷的用户功能。

针对射频/混合信号电子系统不断增加的规模和复杂性，V15 中新的布局和 3D 查看器渲染功能运行速度更快，让用户能够放大、缩小和旋转大型结构，从所有角度无延迟地检查物理设计。对于从 Cadence Allegro® PCB Designer 或其他布局工具以 IPC-2581 或 ODB++ 文件格式导入的大型电路板，在使用 PCB 编辑向导进行电磁分析的编辑和准备之前，可以很容易地对其进行视觉检查。

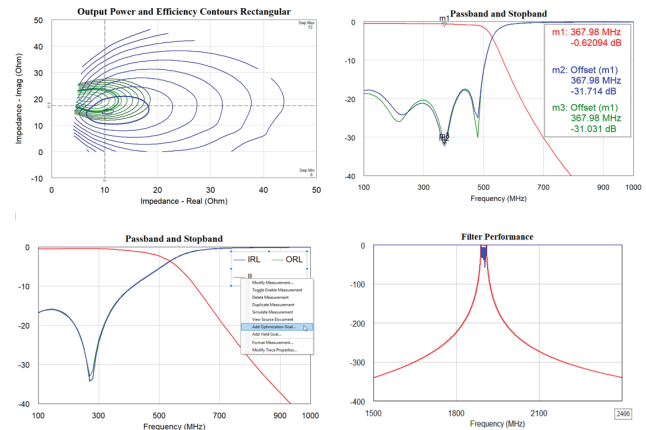


图 2: 数据显示功能提供了更好的绘图控制功能和仿真洞察

此外，V15 版 AWR 软件扩展了对多技术系统中射频/微波前端组件集成的支持。AWR Microwave Office 中的层工艺定义文件 (LPF) 定义了物理布局设计的工艺层和参数。对于利用不同的半导体工艺和层压板的异质基板和多芯片模块的分析，AWR Design Environment 软件支持在一个分层项目中使用多个工艺定义。该软件支持“按工艺技术”的原生 LPF 单位，允许为不同工艺根据具体技术指定最合适的单位（例如，密耳或微米）。

AWR Design Environment V15 特色功能				
环境/自动化	电路仿真	电磁仿真	系统仿真	物理设计/布局
矩形图上的负载牵引轮廓 基于模板的测量 直接在图形上添加/编辑优化目标 直接在图表上编辑轴 颜色标记 方程分组	快速、严格的稳定性分析 低频负载牵引，实现双音激励 集成的 TX-Line 计算器/综合 使用 PDK/供应商组件进行网络综合	更快、更强大的自适应网格划分 快速、准确的 DC 解算器 天线峰值测量	预先配置的 5G NR 仿真平台库 相控阵 MIMO 总线支持 具有数字预失真 (DPD) 的 PA 线性化	符合 DRC 的实时 iNets 布线指南 混合物理单元/网格支持 双击数据输入模式 使用属性页编辑来调整布局对象的大小 导入 Gerber 文件以进行 EM 分析

表 1: AWR Design Environment V15 特色功能

功率放大器仿真和设计支持

为了满足带宽要求，5G 系统要在 6GHz 以下聚合连续和不连续的频谱，并利用毫米波频率的可用带宽，这两种情况都给功率放大器 (PA) 设计者带来了不小的压力，他们需要在较高的峰值平均功率比 (PAPR) 下解决线性度和效率问题。

在宽带 PA 中，基带阻抗随带宽的变化会影响器件线性度，导致互调失真 (IMD) 水平随瞬时信号带宽不对称地发生变化。这个问题与存储器效应有关，通常要通过使用视频旁路电容来终止基带阻抗与短路来解决。

不过，可以通过考虑其他基带阻抗条件来提高性能。例如，PA 开发人员在采用包络跟踪 (ET) 等有源基带注入架构时，线性度会得到显著改善。

V15 版 AWR 软件允许设计人员对在双音激励下工作的功率放大器 (PA) 进行视频频带负载牵引分析，以优化 PA 线性性能。设计人员可以绘制互调 (IMD) 和三阶交调点 (IP3) 结果与 (F2-F1) 阻抗的关系图，直接研究扫描输入功率下的 IMD 产品。

负载牵引分析还支持在 4 次和 5 次谐波处进行阻抗调整，并支持在矩形图上生成轮廓，以增强性能与负载阻抗关系的可视化效果。

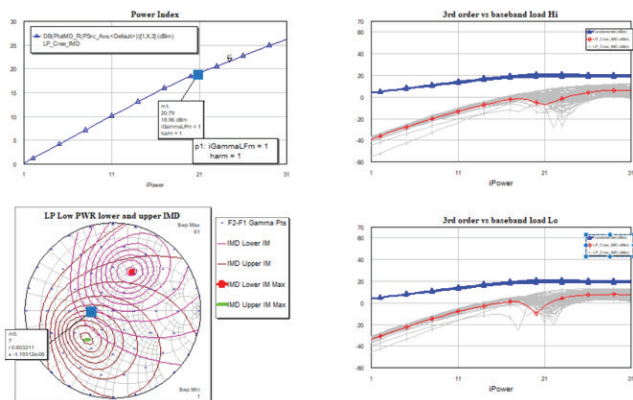


图 3: 视频频带负载牵引支持低频阻抗优化，以精简 IMD 产品

为毫米波放大器设计的晶体管在较低频率下具有高增益的特点，因此更容易出现潜在的杂散振荡。稳定性分析对于功率放大器设计和优化至关重要，尤其是这些高增益器件。

从线性电路仿真中得出的常用的 K 和 μ 因子可以准确预测一个 2 端口网络是否无条件稳定，但它们不能检测多级功率放大器或并联器件的不稳定性。其他稳定性分析，如 NDF 和环路增益技术，可以克服这些限制，但这样做的代价是要进行大量计算，因此速度太慢，无法进行优化。

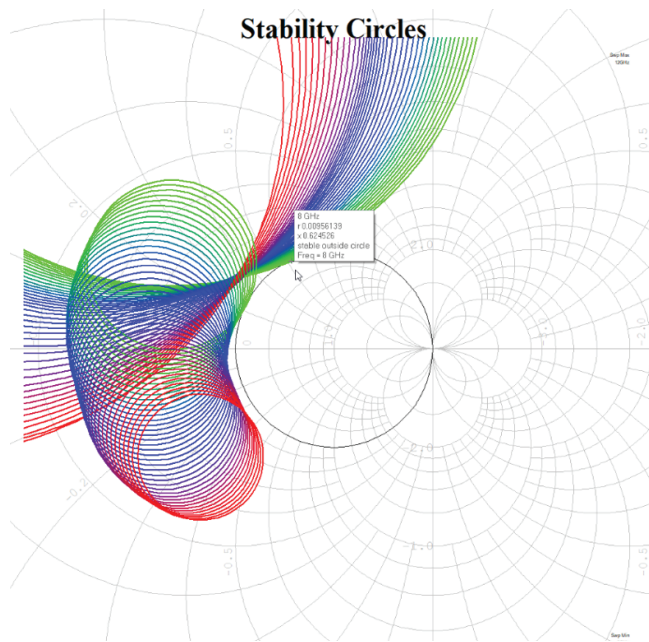


图 4: 环路增益包络提供了快速、严格的非线性稳定性分析和优化功能

环路增益包络技术用于评估传统环路增益稳定圈的包络，事实证明，该技术可以将这种更严格的稳定性分析方法的仿真时间从数小时缩短到数秒，使其成为稳定性优化的理想选择。

第 15 版 AWR 软件支持这种方法，其环路增益包络代码模块和方程块可以轻松应用到新的功率放大器设计中。

支持环路增益包络稳定性分析可为设计人员提供以下好处：

- ▶ 量化功率放大器内每个器件的稳定性和稳定裕度。
- ▶ 通过分析应用输入和输出端点，提高分析速度。
- ▶ 减少 N 相位组合评估的数量，加快分析速度。
- ▶ 由于加快了速度，现在可以对功率放大器内每个器件的相位裕度进行优化。

利用综合加速射频设计

传输线的特性阻抗和电气长度（延迟）代表了两个重要的设计参数，用于控制无源射频/微波电路的频率依赖性电路响应，如四分之一波长变换器、威尔金森功率分配器/合路器、混合耦合器、滤波器等。

使用 AWR Design Environment V15 软件，设计人员现在可以根据所需的电气特性，直接综合给定基板的微带、带状线或共面波导结构的物理属性（宽度、长度）。

同样，也可以直接根据原理图中放置的单根或边缘耦合传输线的物理属性，计算出电气特性。电路模型参数的综合功能提供了至关重要的数据，可用于生成传输线的准确布局，而无需调用传输线计算器，且无需将结果手动传输到传输线属性对话框中。

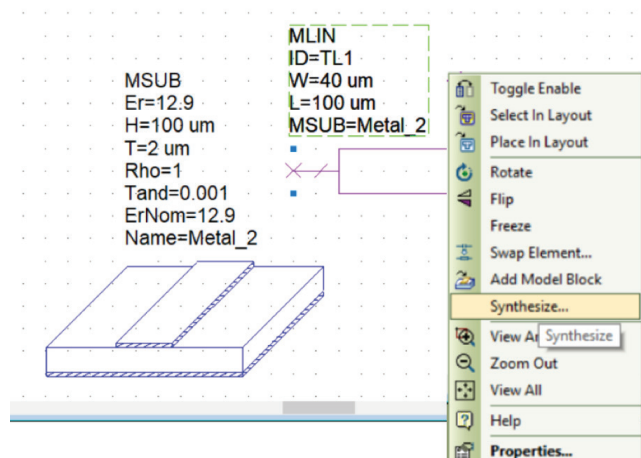


图 5：直接从组件中合成传输线的电气/物理参数

增强型网络综合向导进一步扩展了综合功能，这是一个强大的设计辅助工具，允许用户直接使用 AWR Microwave Office 供应商库中的组件生成最佳匹配网络，加快了具有挑战性的宽频段和多频段 PA 以及级间阻抗匹配电路的阻抗匹配网络开发，以用于基于表面贴装 PCB 的设计。该功能还支持来自工艺设计套件 (PDK) 的模型，从而将匹配电路综合功能扩展到涵盖单片微波集成电路 (MMIC) PA 和其他基于 MMIC 的设计。

电磁仿真和天线

为了提高针对集成电路、封装和电路板结构的电磁分析速度和能力，AWR AXIEM 网格剖分和解算器技术经过了多项关键改进，以便提高网格质量，加快仿真运行时间，并可以利用精简的网格解决大型问题。

AWR Design Environment V15 现在可以通过高纵横比小平面 (HARF) 的强大修复功能，自动检测并移除有问题的网格小平面。该软件支持金属和电介质的亚纳米 (nm) z 轴分辨率（先前是四舍五入到最近的 nm），以提供更快的亚纳米多层 IC 结构建模，如金属-绝缘体-金属 (MIM) 电容器。

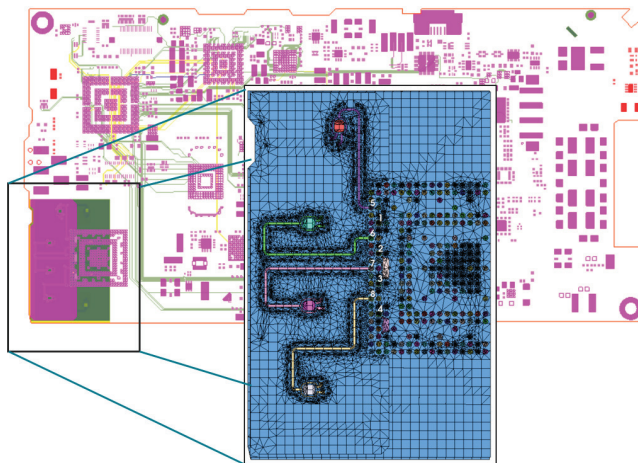


图 6：改进的网格划分功能和电磁解算器可以更快地处理大型结构

大型 PCB 和硅 (Si) 片上组件都可能包含不影响射频性能的制造特征，但会因扩大问题规模而减慢 EM 分析速度。在 AWR Design Environment V15 中，我们扩展了形状预处理规则，以更好地处理 Si 工艺（处理大量金属层），并通过用户指定层和指定区域内/外的阵列进行合并。

此外，AWR AXIEM 直流解算器（用于表征低频行为，如偏置网络）的增强版采用了新的稀疏对称矩阵技术，从而节省了 10 到 100 倍的时间和内存使用。

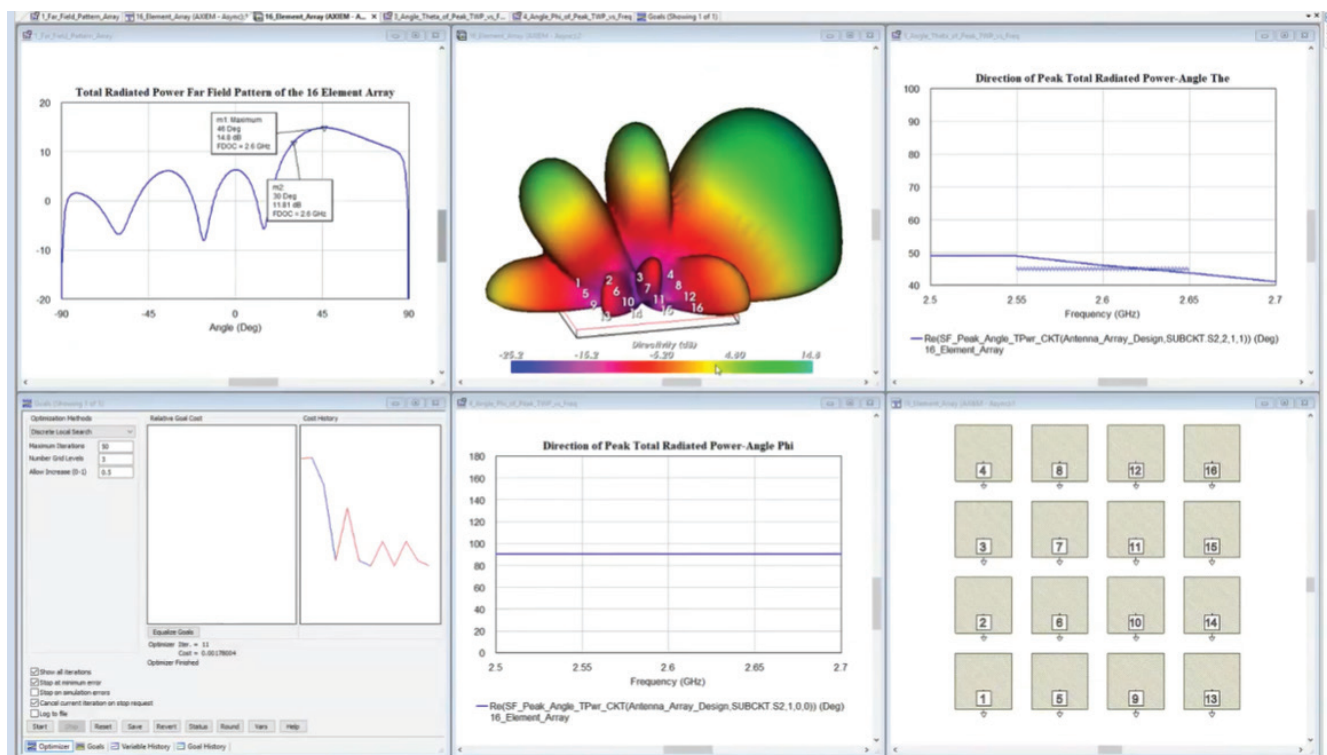


图 7: 峰值天线测量支持天线方向优化以及对比天线与扫频参数结果

利用 AWR Design Environment 软件可以查看各种天线性能指标, 如总功率, 或天线某些“切口”上的特定极化功率。该软件的 V15 版引入了一类新的天线峰值测量功能, 使设计人员能够轻松地设置优化目标和变量, 以引导天线的性能。

例如, 天线设计人员可以轻松地将基于 AWR AXIEM 或 Analyst 软件的相控阵设计从指向孔径改为某个指定的角度。此外, 用户现在可以直接从测量和优化对话框中绘制 E-Phi、E-Theta、E-LHCP、E-RHCP 和总辐射功率, 将其作为扫频函数的天线辐射模式峰值。这些参数的静态和电路驱动测量值同样是可用的。

天线设计人员现在可以直接模拟天线负载、匹配网络, 并在 Analyst 模型中模拟与频率相关的电路组件。可以对天线中嵌入的电阻、电感、电容 (RLC) 组件和匹配网络进行仿真, 而不需要额外的端口, 也不需要使用电路协同仿真。天线仿真中与频率相关的组件模型也可用于设计可重构的天线或更多宽频带天线。

5G NR 库和 DPD 模型

5G NR 库提供易于配置的信号源和接收器, 可用于评估系统级测量中使用的射频组件和/或射频链路。新的测试平台通过预配置的 5G NR 发射 (TX) 和接收 (RX) 区块以及支持下行链路和上行链路 TX/RX 功能的测量, 加快了组件设计和评估过程。

灵活的信号配置支持可变的信号功率、载波频率、调制和编码方案 (MCS)、带宽和子载波间距, 以满足 6GHz 以下频段 (FR1) 以及毫米波 (FR2) 频段规格中定义的要求。

5G NR 接收器测试平台包括预配置的灵敏度测量参数, 如比特误码率 (BER)、块误码率 (BLER) 和吞吐量。新的 5G NR TX 测试平台支持发射器仿真和设备验证, 并提供各种预配置测量参数, 用于分析性能指标, 如互补累积分布函数 (CCDF)、AM 到 AM/PM、频谱、误差向量幅度 (EVM)、相邻信道功率比 (ACPR)、IQ 星座图等。

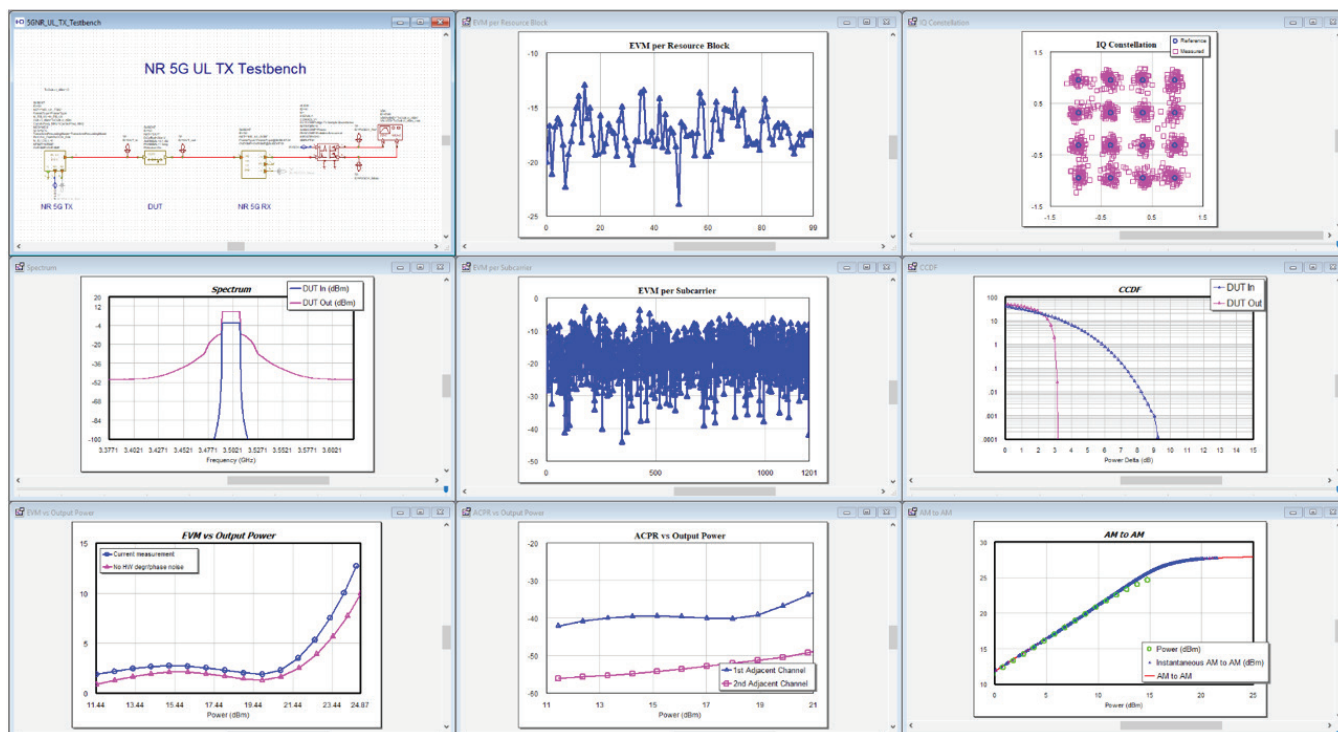


图 8: 用于 TX/RX 设备和射频链路验证的 5G NR 库和测试模型

下行链路测试模型针对 6GHz 以下频段 (FR1) 和毫米波频段 (FR2) 提供了用于执行测量的 5G NR 信号, 如基站输出功率、无用发射、杂散发射、互调、各种调制类型的 EVM, 如正交相移键控 (QPSK)、16、64 和 256 正交幅度调制 (QAM), 以及频率误差。用户可以通过 AWR 知识库获取示例项目, 示例演示了根据“第三代合作伙伴计划 (3GPP) 技术规格 38.141 第 4.9.2 节配置的 NR 5G 发射器和接收器, 并包含预配置的系统图和相关结果图, 可供用户进行仿真。

AWR Design Environment V15 还包括一个新的数字预失真 (DPD) 块, 提供了对非线性放大器进行线性化的算法。这个 DPD 模型支持内存多项式、广义内存多项式、二阶动态偏差减少 (DDR2) 和查找表。为了演示新的模型, 我们使用 AWR Microwave Office 软件中实施的驱动放大器驱动 PA 创建了一个示例项目 (可从 AWR 知识库中获得)。AWR Microwave Office 子电路在 AWR VSS 系统设计软件中由正交频分复用 (OFDM) 信号激励, 频率为 3.5GHz, 配置为用于多用户操作的仿真。

DPD 模型使用设备输出的反馈信号, 该信号与源信号一起用于所选算法的初始计算, 然后用于增量更新。DPD 块提供了各种可用于 DPD 初始设置的解算器。其结果用于比较有 DPD 和无 DPD 两种情况下的器件性能, 显示出在频谱再生、IQ 星座图失真和 CCDF 方面的改进。我们也提供了商用 DPD 解决方案的选项, 允许用户在仿真中运行与实验室中相同的算法。

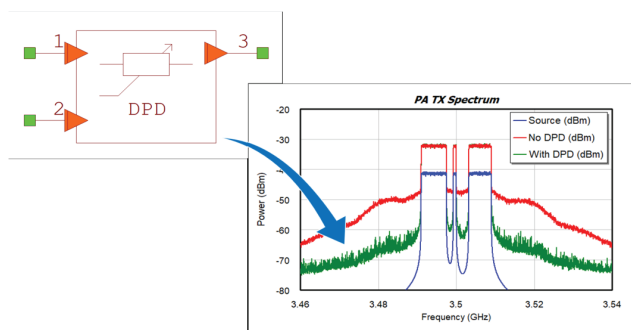


图 9: DPD 块提供了对非线性放大器进行线性化的算法

总结

AWR Design Environment V15 软件为 Cadence EDA 解决方案产品组合增添了新的增强型射频/微波设计和仿真功能。先进的设计自动化可减少手动设计任务，且支持在各个工具之间相互操作，从而优化工程吞吐量和效率。

新的电路仿真功能支持针对多级和平衡放大器进行快速而严格的非线性稳定性分析，并通过视频频带负载牵引来优化低频阻抗终端，以降低互调失真。网络综合支持使用供应商的组件和 PDK 以及新的集成传输线计算器和直接从原理图启动的综合功能来支持阻抗网络的开发。

强大的仿真引擎提供具有增强网格划分和智能几何处理功能的 EM 分析，可以更快地处理大型结构，以进行芯片、封装和电路板表征。预先配置的 5G NR 仿真平台可为 PA 和 RF 链路验证提供信号源和测量。

The Cadence logo, featuring the word "cadence" in a lowercase, sans-serif font. A red vertical line is positioned to the right of the logo.

Cadence 通过智能系统设计策略将设计概念变为现实，是电子设计和计算专业知识领域的关键领导者。Cadence 服务于全球最具创造力和创新思维的公司，助力他们提供从芯片、电路板到动态市场应用系统的优质电子产品。www.cadence.com

© 2021 Cadence Design Systems, Inc. 在全球范围内保留所有权利。www.cadence.com/go/trademarks 上展示的 Cadence、Cadence 徽标和其他 Cadence 标志是 Cadence Design Systems, Inc. 的商标或注册商标。他商标均为其各自所有者的财产。16241 04/21 KZ/SA/TB-V15/PDF

